

Publication Number: 1-55460  
Publication Date : November 24, 1989  
Application Number: 57-226716  
Application Date : December 27, 1982  
Laid-Open Number : 59-119379  
Laid-Open Date : July 10, 1984  
Int. Class Number : G09F 9/30, G02F 1/133  
Applicant : Toshiba Corporation  
Title of Invention : Thin type display device

1. Claims

1. A thin type display device driving display elements by using a transistor matrix array which is constituted by forming an insulating film on an insulating substrate via a grounding conductive film, and on this insulating film, by integrally forming a plurality of address lines arranged in parallel to each other, a plurality of data lines arranged orthogonally to the address lines and in parallel to each other, a plurality of switching transistors disposed at respective intersections of these data lines and address lines, each having a source and a gate that are respectively connected to each of the data lines and the address lines, and storage capacities each having one end connected to a drain of each of the switching transistors, and an other end connected to said grounding conductive film; wherein said grounding conductive film is disposed in a pattern of plurality of bands in such a manner that they are in parallel to said address lines, and at the same time, do not overlap with the address lines.

A thin type display device as described in claim 1 wherein said display elements are liquid crystal, and said switching transistors are film transistors.

[Detailed Description of the Invention]

[Technical Field to which the Invention Belongs]

The present invention relates to an improvement of a thin type display device wherein transistors are configured in a matrix array to be utilized as driving circuits.

[Technical Background of the Invention]

In late years, thin type display devices wherein switching transistors are configured in a matrix array as driving circuits are attracting attention. This

approach attempts to obtain a desired image by storing image data in each dot of the switching transistor matrix provided on a substrate, and by having these image data displayed on locations corresponding to respective dots of a liquid crystal layer, EL layer or EC layer provided on the matrix array, and in principle, it allows to realize a far thinner display device comparing to a method using a CRT which has been dominant as a conventional display device. Also, according to the displaying principles of a CRT, since an electron beam of high energy is collided into a phosphor to promote light emission, not entire screen is always displayed that it uses the persistence of human vision, so that it has a problem in ease in viewing due to the presence of flicker noise, etc. On the other hand, a display device using a transistor matrix array allows almost total time display, and is capable of obtaining more natural images than those obtained by the CRT. Moreover, comparing to the CRT, it is characterized in that it allows to obtain a flat screen, it does not require a high-voltage power source, there is no need of a vacuum region, and a small size and weight with a sufficient strength can be obtained since it is an entirely solid device.

Fig. 1 is a schematic showing a basic configuration of the transistor matrix array. A display screen is divided into a matrix with  $m$  vertical lines and  $n$  horizontal lines, thereby divided into  $m \times n$  pieces of unit pixels. At each of intersections ( $C_{i1}, C_{i2}, \dots, C_{ij}, \dots, C_{mn}$ ) of the matrix, a pixel circuit having a memory function provided by a switching transistor is constructed, and to this, image data for each pixel is stored, and according to this data, display is realized in a liquid crystal, EL or EC layer provided on the matrix array, in a region corresponding to each pixel.

As for a specific pixel circuit, one with a simple structure such as the one shown in Fig. 2 or 3 is used. This is because simpler circuits are needed in order to allow a high yield in making a matrix array since the sizes ( $m \times n$ ) of matrix arrays have significantly increased. Shown in Fig. 2 is a pixel circuit frequently used for liquid crystal driving for those cases where displaying is substantially performed by DC drive, and one shown in Fig. 3 is a circuit frequently used for EL displays where displaying is performed by AC drive. In Fig. 2, (21) is a switching transistor, (22) is a liquid crystal layer, and (23) is a capacity for storing an image signal. A gate of the transistor (21) is connected to an  $i$ th address line ( $X_i$ ), and a source electrode is connected to a  $j$ th data line ( $Y_j$ ). To the address line ( $X_i$ ) and the data line ( $Y_j$ ), power sources ( $V(X_i)$ ) and ( $V(Y_j)$ ) are respectively connected. When a signal which

turns the transistor (21) into an on state is inputted to the address line ( $X_i$ ), a channel of the transistor (21) is brought into conduction, and at this point, an image signal provided at the data line ( $Y_j$ ) is stored in the capacity (23), and that signal is stored in  $C_s$  while the data voltage ( $V(X_i)$ ) is being at zero. The liquid crystal (22) is driven correspondingly to this stored image signal. Other transistors on the address line ( $X_i$ ) are also turned into an on state simultaneously, and image signals ( $V(Y_1)$ ,  $V(Y_2)$ ...  $V(Y_n)$ ) provided on the respective data lines at that time are stored into the respective pixel circuits ( $C_{i1}$ ,  $C_{i2}$ ... $C_{in}$ ) respectively. In a similar manner, by sequential driving of respective address lines such as  $X_{i+1}$ ,  $X_{i+2}$ ..., the image signals are sequentially stored whereby signals of the entire screen are written.

Fig. 3 shows the one using two switching transistors (31a, 31b), and based on the same principle as in Fig. 2, an image signal is stored in a capacity (33) by the switching of the transistor (31a). The operation timing of the pixel ( $C_{i1}$ ) is controlled in a similar way as in the case of Fig. 2, by the power sources ( $V(X_i)$ ,  $V(Y_j)$ ) of the address line ( $X_i$ ) and the data line ( $Y_j$ ). In the case of Fig. 3, the image signal controls the switching of the second transistor (31b) to drive a display layer (32) such as an EL layer for example. Fig. 3 differs from Fig. 2 in that an AC voltage can be used as a voltage ( $V_c$ ) given to one end of the display layer (32), so that driving of an EL layer can be realized.

The above is the operation principle of the thin type display device using the transistor matrix array shown in Fig. 1.

Fig. 4 is a diagram showing a cross sectional structure of a liquid crystal display device using a conventional transistor matrix array. On an entire

provided, and an insulating film (43) is further formed, then thereon, address lines (44 ( $44_1$ ,  $44_2$ , ...)) acting also as gate electrodes of the transistors are provided. Further thereon, via an insulating film (45) which will work as an gate insulating film, semiconductor thin films (46 ( $46_1$ ,  $46_2$ ,...)) are formed in respective pixel regions, and to each of them, a source electrode (47 ( $47_1$ ,  $47_2$ , ...)) which is connected to an Y address line (not shown), and a display electrode (48 ( $48_1$ ,  $48_2$ , ...)) which acts as a drain electrode and also as a storage capacity electrode, are provided. Also, the surface of this substrate is covered by an insulating film (49) having openings in the display pixel regions. The storage capacity, as above

described, is configured by using the display electrode (48) as its one terminal electrode and the grounding conductive film (42) as the other terminal electrode, with the insulating films (43 and 45) interposed therebetween. The transistor matrix array configured in this way and a glass substrate (50) having a transparent electrode (51) formed thereon constitutes a liquid crystal display device by holding the liquid crystal (52) therebetween.

In a transistor matrix array such as this, since the grounding conductive film (42) is evenly provided on the substrate, the processes are relatively simple. However, as shown in the figure, the address line (44<sub>1</sub>) or display electrode (48<sub>1</sub>) is often short-circuited with the grounding conductive film (42) through pin holes (53a and 53b) etc. in the insulating layer. Since the influence of the pin hole (53b) only results in one pixel defect, so that the defect may be improved in proportion to the pin hole density in the insulating layer. However, a defect resulted from the pin hole (53a) causes all the pixel circuits driven by the address line (44<sub>1</sub>) to be inoperable, so that it appears as a line defect. Even if the pin hole density is improved, it is extremely difficult to completely eliminate such fatal line defects from a large matrix array.

Fig. 5 shows an example using a transistor matrix array which allows to eliminate such defects caused by pin holes. It differs from Fig. 4 in that grounding conductive films (42 (42<sub>1</sub>, 42<sub>2</sub>, ...)) are provided in a pattern of lines parallel to address lines (44) on a same plane as the address lines (44). The grounding conductive films (42) are of course all biased to a ground potential at the edge sections of the substrate.

When the address lines (44) and the grounding conductive films (42) are formed by patterning a single conductive film, the excessive material may be partially remained as they may not be formed sufficiently into a desired pattern due to the influence by contamination of a mask for the pattern formation or contaminants present at a time of exposure etching etc.

This means that it becomes difficult to ensure the separation, when the separation regions between the address lines (44) and the grounding conductive films (42) are made narrower for minimization of the cell size of the matrix for higher definition.

When one short-circuited section is present between an address line (44) and a grounding conductive film (42), it will similarly manifest as a line defect as in the case of the prior defect by the pin hole (53a).

The short-circuiting of the address lines with the grounding electrodes as the above may occur with an extremely high probability in large-screen display device, large matrix arrays and high definition matrix arrays. On the contrary, as a display device, no occurrence of such fatal line defects, not even in one line, is permitted, so that it has been difficult to realize a large-screen, high definition display device with the conventional transistor matrix array structure.

#### [Object of the Invention]

In consideration of the above, an object of the present invention is to provide a thin type display device using a transistor matrix array structure which would not allow the occurrence of line defects in a display screen.

#### [Summary of the Invention]

The summary of the present invention is explained with reference to Fig. 6. Fig. 6(a) is a plane view showing a structure of a portion of address lines and grounding conductive films in a transistor matrix array according to the present invention, and Fig. 6(b) is a cross sectional view thereof taken along a line (A-A'). That is, in the present invention, on an insulating substrate (61), first, a plurality of grounding conductive films (62 (62<sub>1</sub>, 62<sub>2</sub>, ...)) are provided in a pattern of bands, and thereon, via an insulating film (63), address lines (64 (64<sub>1</sub>, 64<sub>2</sub>, ...)) are provided in parallel to the grounding

Also, since a slight displacement etc. of the patterning positions may in fact occur, it is desirable to provide separations (67) beforehand so as to prevent the overlapping of the grounding conductive films (62) and the address lines (64) even if there has been a mask alignment error. As for the extent of the separations (67), tolerance of a pattern alignment by an exposure device may be taken into account. For example, where the length from the address line (X<sub>i</sub>) to the address line (X<sub>m</sub>) in Fig. 1 is around 10cm or less, approximately 2μm would be adequate for said separations (67), and where the length is 10cm or greater, then approximately times 2x10<sup>-5</sup> of that length (i.e. when it is 20cm, about 4μm) would be adequate. However, this value is of course dependent on an exposure device. To be brief, the

presence of said separations (67), even in a small extent, the effect of the present invention is greatly enhanced. Also, in order to maintain the complete insulation of the insulating film (63) at end sections of the pattern of the grounding conductive films (62), it is desirable to set the thickness of the insulating film (63) equal to or thicker than the thickness of the grounding conductive films (62).

#### [Effect of the Invention]

According to the present invention, contacts between the address lines and the grounding conductive films are almost completely eliminated, so that a thin type display panel free from line defects can be realized with a high yield. In the structure of the present invention, a contact between the address line and the grounding conductive film is possible when a pin hole (65) in the insulating film (63) overlays on an incomplete pattern region (66) in the grounding conductive film (62) as shown in Fig. 6, and the probability of having the both defects occur on an identical location is extremely low in recent IC manufacturing processes, so that it can be almost ignored.

#### [Embodiment]

Fig. 7 (a) is a perspective plane view of a liquid crystal display device in one embodiment according to the present invention, and Fig. 7(b) is a cross sectional view thereof taken along the line (B-B'). The size of a transistor matrix array is as follows; number of address lines: 220, number of data lines: 240, pitch of address lines: 200 $\mu$ m, pitch of data lines: 250 $\mu$ m, entire display section: 44 x 60mm, and total number of pixel circuits: 56,400. Figs. 7(a) and (b) show one part thereof. To explain in accordance with manufacturing processes, first, on a glass substrate (71), a plurality of grounding conductive films (72 (72<sub>1</sub>, 72<sub>2</sub>, ...)) are patterned from a transparent conductive film. Next, by a normal pressure CVD method, an SiO<sub>2</sub> film (73) is deposited in a thickness of approximately 1500Å, and thereon, address lines (74 (74<sub>1</sub>, 74<sub>2</sub>, ...)) are formed from an Mo film in a thickness of 900Å. The grounding conductive films (72) and the address lines (74) are in parallel, and separations (75) therebetween are set at 5. Thereafter, by a CVD method, an SiO<sub>2</sub> film (76) which will work as a gate oxide film is deposited in a thickness of approximately 2500Å, and display electrodes (77 (77<sub>1</sub>, 77<sub>2</sub>, ...)) are formed from a transparent conductive film in a thickness of 2000Å, and amorphous silicon films (78 (78<sub>1</sub>, 78<sub>2</sub>, ...)) are

deposited in a thickness of  $1500\text{\AA}$ , then they are patterned respectively in desired sizes by an exposure etching technology. Thereafter, from an AL film in a thickness of  $5000\text{\AA}$ , data lines (79 ( $79_1, 79_2, \dots$ )) which also act as source electrodes, and drain electrodes (80 ( $80_1, 80_2, \dots$ )) are formed. An  $\text{SiO}_2$  film (81) is then deposited by sputtering in a thickness of  $6000\text{\AA}$ , and the  $\text{SiO}_2$  film on the display electrodes (77) is eliminated by etching, thereby completing a matrix array. In order to form a display panel, a glass substrate (83) having a transparent electrode (82) formed thereon is placed in an opposed position of the matrix array, and liquid crystal (84) is sealed therebetween, whereby all the processes are completed.

In order to carry out a study on the effect of the present invention, sample transistor matrix arrays having the conventional structures shown in Figs. 4 and 5 were also made. For each of the arrays with the conventional structure, the materials of each of the electrodes and insulating films, thickness, the sizes of the patterns and formation conditions are identical to those in the embodiment shown in Fig. 7. As a result, in the structure shown in Fig. 4, among 220 address lines, those exhibited line defects due to short-circuit with grounding electrodes were about 5%. Those of Fig. 5 were about 20%. On the other hand, in the embodiments of the present invention, there were completely no such short-circuiting, thus the validity of its effect was demonstrated.

Also, the present invention is not limited to the embodiments described in the above. For example, the material of the grounding conductive films is not limited to a transparent conductive film, it may also be any metal material which can be patterned, such as Al or Mo etc., and the address lines are not limited to  $\text{SiO}_2$  films, and as for their fabrication, a sputtering, coating, anodization method or the like can also be utilized besides the CVD method. In addition, the thin film transistor is not limited to those using amorphous silicon, any of those allowing to obtain the sufficient switching characteristic may be used, such as polycrystalline silicon, CdSe, CdS or Te, etc. The display material is also not limited to a liquid crystal, EL or EC, etc. is possible, and the configuration of the unit pixel circuit may also be, for example, the one shown in Fig. 3.

[Brief Description of the Drawings] Fig. 1 is a diagram showing a configuration of a transistor matrix array, Figs. 2 and 3 are diagrams

showing examples of the configurations of a pixel circuit, Figs. 4 and 5 are cross sectional views of liquid crystal display devices using conventional transistor matrix arrays, Figs. 6(a) and (b) are respectively, a plane view and a cross sectional view thereof taken along the line (A-A'), showing the configuration of an essential section of a transistor matrix array according to the present invention, and Figs. 7 (a) and (b) are respectively, a perspective plane view and a cross sectional view thereof taken along the line (B-B'), showing a liquid crystal display device in one embodiment according to the present invention.

[Description of the Reference Numerals]

61: insulating substrate, 62 (62<sub>1</sub>, 62<sub>2</sub>, ...): grounding conductive films, 63: insulating film, 64 (64<sub>1</sub>, 64<sub>2</sub>, ...): address lines, 71: glass substrate, 72 (72<sub>1</sub>, 72<sub>2</sub>, ...): grounding conductive films, 73: SiO<sub>2</sub> film, 74 (74<sub>1</sub>, 74<sub>2</sub>, ...): address lines, 76: SiO<sub>2</sub> film, 77 (77<sub>1</sub>, 77<sub>2</sub>, ...): display electrodes, 78 (78<sub>1</sub>, 78<sub>2</sub>, ...): amorphous Si films, 79 (79<sub>1</sub>, 79<sub>2</sub>, ...): data lines acting also as source electrodes, 80 (80<sub>1</sub>, 80<sub>2</sub>, ...): drain electrodes, 81: SiO<sub>2</sub> film, 82: transparent electrode, 83: glass substrate, 84: liquid crystal



## ⑫ 特許公報(B2)

平1-55460

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭公告 平成1年(1989)11月24日

G 09 F 9/30  
G 02 F 1/1333 3 8  
3 2 67335-5C  
7370-2H

発明の数 1 (全7頁)

発明の名称 薄型表示装置

⑮特 願 昭57-226716

⑯公 開 昭59-119379

⑰出 願 昭57(1982)12月27日

⑱昭59(1984)7月10日

発明者 鈴木 幸 治

神奈川県川崎市幸区小向東芝町1番地 東京芝浦電気株式  
会社総合研究所内

発明者 池 田 光 志

神奈川県川崎市幸区小向東芝町1番地 東京芝浦電気株式  
会社総合研究所内

発明者 青 木 寿 男

神奈川県川崎市幸区小向東芝町1番地 東京芝浦電気株式  
会社総合研究所内

出願人 株式会社東芝

神奈川県川崎市幸区堀川町72番地

代理人 弁理士 鈴江 武彦

外2名

審査官 井 関 守 三

参考文献 特開 昭56-65176 (JP, A)

特開 昭57-30882 (JP, A)

1

## 特許請求の範囲

絶縁性基板上に接地導体膜を介して絶縁膜を成し、この絶縁膜上に、互いに平行に配列され複数本のアドレスラインと、これらのアドレスラインと直交して互いに平行に配列された複数本データラインと、これらデータラインとアドレスラインの各交点位置に配置されソース、ゲートそれぞれデータライン、アドレスラインに接続された複数のスイッチングトランジスタと、これ

接続され他端が前記接地導体膜に接続された番容量とを集積形成してなるトランジスタマトリクスアレイを用いて表示素子を駆動する薄型表示装置において、前記接地導体膜を、前記アドレスラインと平行してかつアドレスラインと重ならないように複数本の帯状パターンに配設したことを特徴とする薄型表示装置。

前記表示素子が液晶であり、前記スイッチングトランジスタが薄膜トランジスタである特許請求の範囲第1項記載の薄型表示装置。

## 発明の詳細な説明

## 発明の技術分野]

本発明は、トランジスタをマトリクスアレイに

2

構成して駆動回路として用いた薄型表示装置の改良に関する。

## 〔発明の技術的背景〕

近年スイッチングトランジスタをマトリクスアレイに構成して駆動回路とした薄型表示装置が注目されている。この方法は、基板上に設けられたスイッチングトランジスタマトリクスの各ドットに画像情報を蓄積しておき、これら画像情報をマトリクスアレイ上に設けられた液晶層、EL層又

い、所望の画像を得ようとするものであるが、従来の表示装置の主流であつたCRTを用いた方法に比べ、原理的にはるかに薄型の表示装置が実現できる。又、CRTの表示原理がけい光物質に高エネルギーの電子ビームを衝突させ発光させるため、全画面が常に表示されているわけではなく、人間の目の残像現象を利用したものとなっており、フリッカー雑音等があり見易さに問題があつた。これに対し、トランジスタマトリクスアレイを用いた表示装置はほぼ全時間表示となりCRTよりも自然な画面を得ることができる。更に、CRTに比べ、平坦な画面が得られること、高圧電源を必要としないこと、真空領域が必要でなく、全固

体装置であるため小型軽量で十分な強度が得られること、などの特徴を有する。

第1図はトランジスタマトリクスアレイの基本構成を示す概略図である。表示画面はたて $m$ 本、横 $n$ 本のマトリクス状に分割され全部で $m \cdot n$ 個の単位画素に分割されている。各マトリクスの交点 $C_{11}, C_{12} \dots C_{ij} \dots C_{mn}$ はスイッチングトランジスタによるメモリ機能を持つ画素回路が構成されており、ここに各画素の画像情報が蓄えられ、この情報に従ってマトリクスアレイ上に設けられた液晶、EL又はEC層の各画素に対応した領域で表示が実現されるようになってい

る。具体的な画素回路は第2図又は第3図に示されるような単純な構成のものが使用されている。これは高精細な表示画面を得るためには、マトリクスの大きさ $m \cdot n$ が非常に大きくなり、高歩留りでマトリクスアレイを作成するためにはより単純な回路が望まれるためである。第2図は、液晶駆動に用いられる画素回路で実質的に直流駆動で表示を行なう場合、第3図はEL表示のときで、交流駆動表示を行なう場合によく用いられる回路である。第2図において21はスイッチングトランジスタ、22は液晶層、23は画像信号を蓄積する容量である。トランジスタ21のゲートは第 $i$ 番目のアドレスライン $X_i$ に接続され、ソース電極は第 $j$ 番目のデータライン $Y_j$ に接続されている。アドレスライン $X_i$ 及びデータライン $Y_j$ はそれぞれ $V(X_i)$ 、 $V(Y_j)$ の電源が接続されている。アドレスライン $X_i$ にトランジスタ21をON状態にする信号が入ったとき、トランジスタ21のチャネルが導通し、このときデータライン $Y_j$ に用

電圧 $V(X_i)$ が零の間その信号は $C_2$ に記憶される。この蓄積された画像信号に対応して、液晶22が駆動される。なお、アドレスライン $X_i$ 上の他のトランジスタも全て同時にON状態となり、それぞれ、そのときの各データライン上に用意された画像信号 $V(Y_1)$ 、 $V(Y_2) \dots V(Y_n)$ が各画素回路 $C_{11}$ 、 $C_{12} \dots C_{in}$ に蓄積される。同様にして $X_{i+1}$ 、 $X_{i+2} \dots$ というふうにならびに各アドレスラインの順次駆動により画像信号が次々に蓄積されていき、全画面の信号が書き込まれることになる。

第3図は2個のスイッチングトランジスタ31a、31bを用いるもので、画像信号は第2図と

同様な原理により、トランジスタ31aのスイッチングにより容量33に蓄積される。画素 $C_{ij}$ の動作タイミングは第2図の場合と同様にアドレスライン $X_i$ 及びデータライン $Y_j$ の電源 $V(X_i)$ 、 $V(Y_j)$ により制御される。第3図の場合、画像信号は2つ目のトランジスタ31bのスイッチングを制御し、例えばEL層などの表示層32の駆動を行なう。第3図では第2図と異なり、表示層32の一端に与える電圧 $V_0$ として交流電圧を用いることができるため、EL層駆動が可能となる。

以上が第1図に示すトランジスタマトリクスアレイを用いた薄型表示装置の動作原理である。

第4図は従来のトランジスタマトリクスアレイを用いた液晶表示装置の断面構造を示す図である。絶縁性基板41上に、接地導体膜42を全面に設け、更に絶縁膜43を形成してこの上にトランジスタのゲート電極を兼ねるアドレスライン44(44<sub>1</sub>、44<sub>2</sub>、...)が設けられる。更にこの上にゲート絶縁膜となる絶縁膜45を介して各画素領域に半導体薄膜46(46<sub>1</sub>、46<sub>2</sub>、...)を形成し、それぞれに $Y$ アドレスライン(図示せず)に接続されるソース電極47(47<sub>1</sub>、47<sub>2</sub>、...)、ドレイン電極と蓄積容量電極を兼ねた表示電極48(48<sub>1</sub>、48<sub>2</sub>、...)が設けられる。またこの基板表面は表示画素領域に孔がけられた絶縁膜49でおおわれている。蓄積容量は、前述のように表示電極48を一方の端子電極とし、接地導体膜42を他方の端子電極として、この間に挟まれた絶縁膜43、45を用いて構成されている。このように構成されたトランジスタマトリクスアレイと透明電極51を形成したガラス基板

晶表示装置が構成されている。

このようなトランジスタマトリクスアレイにおいては、接地導体膜42が基板上に一様に設けられるため工程は比較的単純である。しかし、図示のように絶縁層のピンホール53a、53b等を通じて、アドレスライン44<sub>1</sub>あるいは表示電極48<sub>1</sub>が接地導体膜42と短絡することがしばしば生ずる。ピンホール53bによる影響は、一つの画素欠陥を生ずるだけであるため、絶縁層のピンホール密度に比例して、欠陥を改善できる。ところがピンホール53aによる欠陥は、そのアドレスライン44<sub>1</sub>によつて駆動されるすべての画

素回路が動作しなくなるため、線欠陥となつてあらわれる。ピンホール密度を改善してもこのような致命的な線欠陥を全くなくすことは大規模なマトリクスアレイでは極めて困難である。

第5図は、このようなピンホールによる欠陥を除くことができるトランジスタマトリクスアレイを用いた例である。第4図と異なる点は、接地導体膜42(42<sub>1</sub>, 42<sub>2</sub>, ...)をアドレスライン44と平行な線状パターンとしてアドレスライン44と同一平面上に配設したことである。接地導体膜42は勿論、基板端部で全て接地電位にバイアスされて使用される。

ところが、この構造では、アドレスライン44と接地導体膜42と同一導電膜のパターニングにより形成することから、パターン形成のマスクの泥れ、露光エッチング時のゴミの影響等で、これらが十分に所望のパターンに形成されず、電極材料が一部のこることが生ずる。

このことは、マトリクスのセルサイズの高精細化により、アドレスライン44と接地導体膜42の分離領域が狭くなった場合に、確実な分離が難しくなることを意味する。

そして、アドレスライン44と接地導体膜42の短絡箇所が1つであると、これは先のピンホール53aによる欠陥の場合と同様に線欠陥となつて現われる。

以上のようなアドレスラインの接地電極との短絡は、大画面の表示装置、大規模なマトリクスアレイ、高精細なマトリクスアレイでは極めて高い確率で生じうる。一方、表示装置としては、この

即ち本発明においては、絶縁性基板61上にまず接地導体膜62(62<sub>1</sub>, 62<sub>2</sub>, ...)を帯状パターンに複数本配設し、この上に絶縁膜63を介して接地導体膜62と平行してこれと重ならないようにアドレスライン64(64<sub>1</sub>, 64<sub>2</sub>, ...)を配設する。

なお、パターンニング位置の多少のズレ等は現実には起こりうるので接地導体膜62とアドレスライン64とがマスク合せずれがあつても重ならないように、予め間隙67を設けておくことが望ましい。間隙67の大きさは、露光装置によるパターン合わせの許容量程度を考えておけばよい。例えば、第1図でアドレスラインX<sub>1</sub>からX<sub>m</sub>までの長さが10cm程度以下の大きさであれば、前記間隙67は2μm程度、10cm以上ではその長さの約2×10<sup>-5</sup>倍(例えば20cmでは4μm程度)位が適当である。しかし、この値はもちろんその露光装置に依存する。要は前記間隙67が少しでも存在することが本発明の効果を著しく増大させる。又、絶縁膜63の接地導体膜62のパターニング端での完全な絶縁性を保つためには、絶縁膜63の厚みは接地導体膜62の厚み以上にすることが望ましい。

#### 〔発明の効果〕

本発明においては、アドレスラインと接地導体膜の接触はほぼ完全になくなり、線欠陥のない薄型表示パネルを高歩留りで実現することができる。本発明の構造でアドレスラインと接地導体間の接触が生ずるのは、第6図に示したように、絶縁膜63のピンホール65が、接地導体膜62の

されないため、従来のトランジスタマトリクスアレイ構造では、大画面の高精細な表示装置を実現することが困難であつた。

#### 〔発明の目的〕

本発明は上記の点にかんがみ、表示画面の線欠陥を生じることのないトランジスタマトリクスアレイ構造を用いた薄型表示装置を提供することを目的とする。

#### 〔発明の概要〕

本発明の概要を第6図を参照して説明する。同図aは本発明によるトランジスタマトリクスアレイのアドレスライン及び接地導体膜部分の構造を示す平面図、同図bはそのA-A'断面図である。

このように両者の欠陥が同一箇所に生ずることは最近のIC製造工程においては極めて確率が低く、殆んど問題にならない。

#### 35 〔発明の実施例〕

第7図a, bは本発明による一実施例の液晶表示装置の投影平面図とそのB-B'断面図である。トランジスタマトリクスアレイの大きさはアドレスライン数220、データライン数240、アドレスラインのピッチは200μm、データラインのピッチは250μm、全体の表示部は44×60mmで全部で56400個の画素回路からなる。第7図a, bはその一部を示すものである。製造工程に従つて説明すると、ガラス基板71上に、まず透明導電膜で複数

本の接地導体膜 72 (72<sub>1</sub>, 72<sub>2</sub>, ...) をパターンニングする。次に、常圧CVD法により約1500 Åの厚みのSiO<sub>2</sub>膜 73を堆積させ、その上にアドレスライン 74 (74<sub>1</sub>, 74<sub>2</sub>, ...) を厚さ900 ÅのMo膜で形成する。接地導体膜 72とアドレスライン 74は平行でその間隙 75は5μmとしてある。しかる後、CVD法によりゲート酸化膜となるSiO<sub>2</sub>膜 76を約2500 Å堆積し、次に厚さ2000 Åの透明導電膜で表示電極 77 (77<sub>1</sub>, 77<sub>2</sub>, ...) を形成し、アモルファスシリコン膜 78 (78<sub>1</sub>, 78<sub>2</sub>, ...) を厚さ1500 Å堆積してそれぞれ露光エッチング技術により所望の大きさにパターンニングする。そして、厚さ5000 ÅのAl膜によりソース電極兼データライン 79 (79<sub>1</sub>, 79<sub>2</sub>, ...) およびドレイン電極 80 (80<sub>1</sub>, 80<sub>2</sub>, ...) を形成する。そして厚さ6000 ÅのスパッタSiO<sub>2</sub>膜 81を堆積させ表示電極 77上のSiO<sub>2</sub>膜をエッチング除去してマトリクスアレイを完成させる。表示パネルとするため透明電極 82を形成したガラス基板 83をマトリクスアレイに対向させ、この間に液晶 84を封入保持することにより全工程が終了する。

本実施例の効果を調べるために、第4図および第5図を示す従来構造のトランジスタマトリクスアレイも試作した。それぞれの従来構造のアレイでは、各電極及び絶縁膜の材料、厚み、パターンの大きさ及び形成条件は第7図の実施例と同一としている。その結果、第4図に示す構造では220本のアドレスラインのうち接地電極と短絡して線欠陥となつたのは約5%であつた。又、第5図の

もので約20%あつた。これに対し本実施例の構造は、

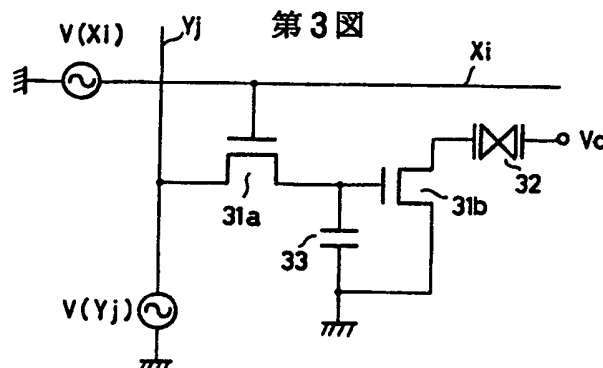
なお本発明は上記実施例に限定されるものではない。

例えば、接地導体膜は透明導電膜に限らず、Al、Mo等パターンニング可能ないかなる金属材料であつてもよいし、アドレスラインもMoに限られない。又、絶縁膜はSiO<sub>2</sub>膜に限らず、その製造もCVDの他、スパッタ、塗布法、陽極酸化法などを用い得る。又、薄膜トランジスタはアモルファスSiを用いたものに限らず、多結晶Si、CdSe、CdS、Te等十分なスイッチング特性が得られるものならばなんでもよい。表示材料も液晶に限らず、EL、EC等でも可能で、単位画素回路構成も例えば第3図に示すものであつてもよい。

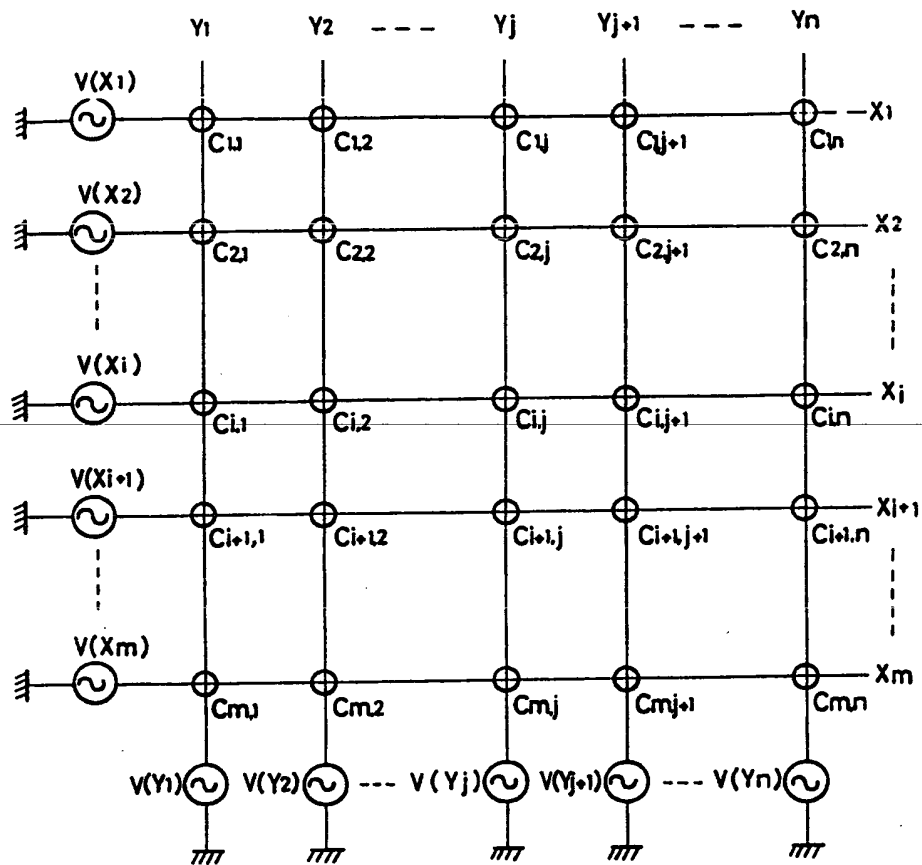
#### 図面の簡単な説明

第1図はトランジスタマトリクスアレイの構成を示す図、第2図および第3図は画素回路の構成例を示す図、第4図および第5図は従来のトランジスタマトリクスアレイを用いた液晶表示装置の断面図、第6図a、bは本発明におけるトランジスタマトリクスアレイの要部構成を示す平面図とそのA-A'断面図、第7図a、bは本発明による一実施例の液晶表示装置を示す投影平面図とそのB-B'断面図である。

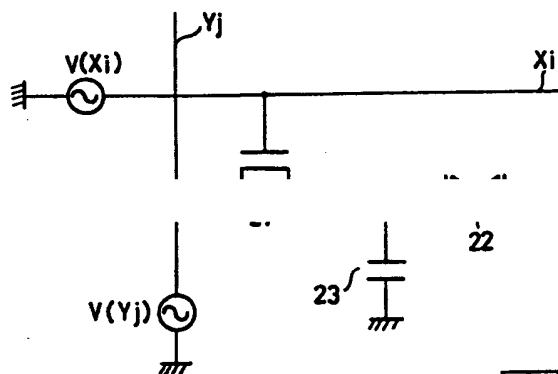
61……絶縁性基板、62 (62<sub>1</sub>, 62<sub>2</sub>, ...)……接地導体膜、63……絶縁膜、64 (64<sub>1</sub>, 64<sub>2</sub>, ...)……アドレスライン、71……ガラス基板、72 (72<sub>1</sub>, 72<sub>2</sub>, ...)……接地導体膜、73……SiO<sub>2</sub>膜、74 (74<sub>1</sub>, 74<sub>2</sub>, ...)……アドレスライン、76……SiO<sub>2</sub>膜、77 (77<sub>1</sub>, 77<sub>2</sub>, ...)……表示電極、78 (78<sub>1</sub>, 78<sub>2</sub>, ...)……アモルファスSi膜、79 (79<sub>1</sub>, 79<sub>2</sub>, ...)……ソース電極兼データライン、80 (80<sub>1</sub>, 80<sub>2</sub>, ...)……ドレイン電極、81……スパッタSiO<sub>2</sub>膜、82……透明電極、83……ガラス基板、84……液晶。



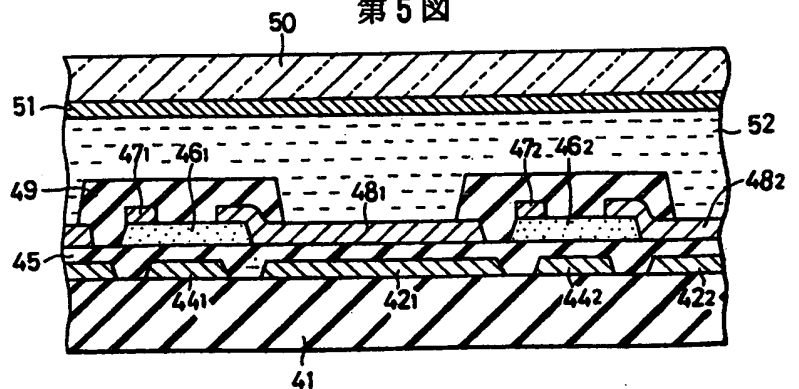
第 1 図



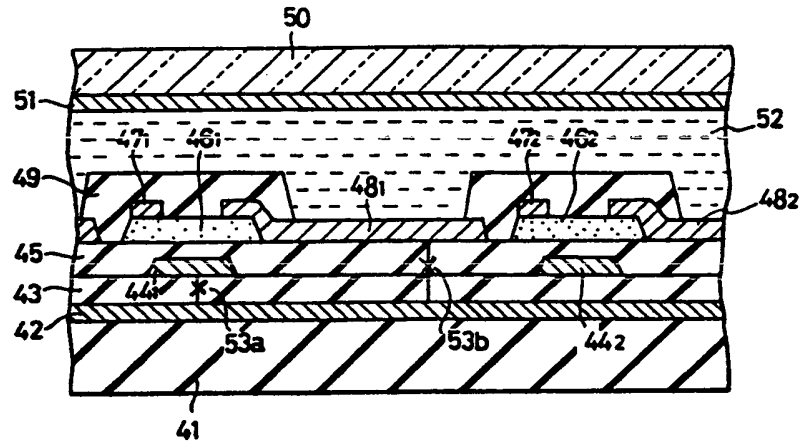
第 2 図



第 5 図

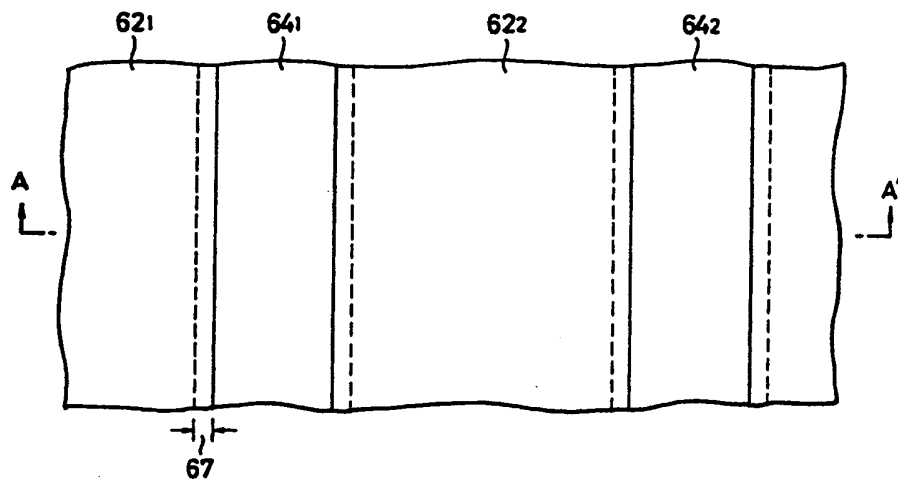


第 4 图

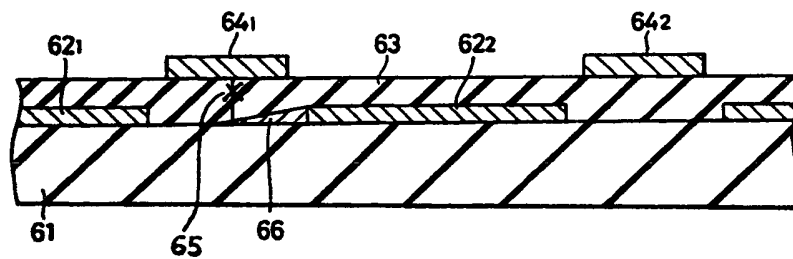


第 6 图

( a )



( b )



第 7 図

